

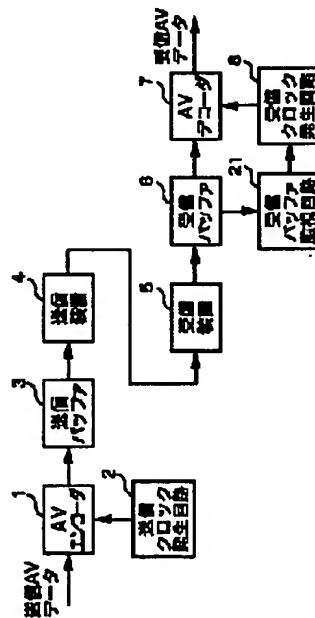
(43) Date of publication of application: 07.06.02

(71) Applicant: **SONY CORP**
(72) Inventor: **YOSHIDA HIDEKI
SATO HITOSHI
IKEDA KAZUYUKI
NORIZUKI HISAFUMI
SAKUSABE KENICHI
KAWAGUCHI DAISUKE
YOSHIKAWA MUNEHIRO**

(57) Abstract:

SOLUTION: A receive buffer monitor circuit 21 monitors the amount of data accumulated in a receive buffer 6, and when the amount of accumulated data exceeds a higher threshold, a reception clock generating circuit 8 sets the frequency of the generating reception clock to a higher frequency. When the accumulated amount becomes lower than a lower reference value, the reception clock frequency is set to a lower frequency. An AV decoder 7 decodes AV data supplied from the receive buffer 6, based on the receive clock supplied from the reception clock generating circuit 8.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-165148

(P2002-165148A)

(43) 公開日 平成14年6月7日 (2002. 6. 7)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 4 N 5/44

H 0 4 N 5/44

Z 5 C 0 2 5

H 0 4 B 14/04

H 0 4 B 14/04

Z 5 C 0 5 9

H 0 4 L 13/08

H 0 4 L 13/08

5 K 0 3 4

H 0 4 N 7/24

7/00

A 5 K 0 4 1

// H 0 4 L 7/00

H 0 4 N 7/13

Z 5 K 0 4 7

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願2000-362562(P2000-362562)

(22) 出願日

平成12年11月29日 (2000. 11. 29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 吉田 英喜

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 佐藤 仁

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(74) 代理人 100082131

弁理士 稲本 義雄

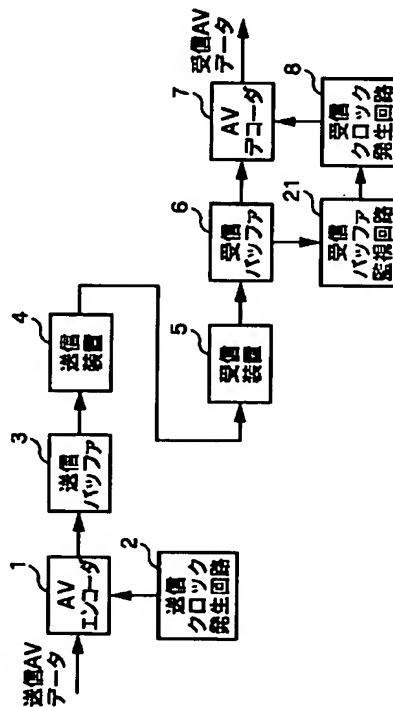
最終頁に続く

(54) 【発明の名称】 データ処理装置および方法、並びに記録媒体

(57) 【要約】

【課題】 より低コストのAVデータ送受信システムを実現する。

【解決手段】 受信バッファ監視回路 21 は、受信バッファ 6 に蓄積される受信データのデータ量を監視し、蓄積データ量が上側の閾値より大きくなったとき、受信クロック発生回路 8 が発生する受信クロックの周波数を、より高い周波数に設定させる。また、蓄積量が下側の基準値より小さくなったとき、受信クロック周波数は、より低い周波数に設定される。AVデコーダ 7 は、受信クロック発生回路 8 より供給される受信クロックに基づいて、受信バッファ 6 より供給されるAVデータをデコードする。



1

【特許請求の範囲】

【請求項1】 データを受信する受信手段と、
前記受信手段により受信されたデータを記憶する記憶手段と、
前記受信手段により受信されたデータを処理する処理手段と、
前記処理手段が、前記受信手段により受信されたデータを処理するとき用いるクロックを生成する生成手段と、
前記記憶手段により記憶されたデータのデータ量に基づいて、前記クロック生成手段が生成するクロックの周波数を制御する制御手段とを備えることを特徴とするデータ処理装置。

【請求項2】 前記処理手段は、前記受信手段により受信されたデータをデコードすることを特徴とする請求項1に記載のデータ処理装置。

【請求項3】 前記制御手段は、前記データ量が第1の基準値より大きいとき、前記クロックの周波数が高くなるように制御し、記データ量が第2の基準値より小さいとき、前記クロックの周波数が低くなるように制御することを特徴とする請求項1に記載のデータ処理装置。

【請求項4】 前記受信手段が受信したデータを、第1のデータと第2のデータとに分離する分離手段をさらに備え、

前記記憶手段は、

前記第1のデータを記憶する第1の記憶手段と、

前記第2のデータを記憶する第2の記憶手段とを有し、

前記処理手段は、

前記第1のデータを処理する第1の処理手段と、

前記第2のデータを処理する第2の処理手段とを有することを特徴とする請求項3に記載のデータ処理装置。

【請求項5】 前記第1のデータと第2のデータの送信系と受信系の全体の処理時間の差の時間において、前記第1の処理手段が処理可能なデータ量をBuf1とし、前記第1の基準値と第2の基準値の平均値をBfu2とするとき、前記制御手段は、前記第1の記憶手段に記憶されるデータ量の制御対象の範囲の中心の値を、前記Buf1とBuf2の和に対応させることを特徴とする請求項4に記載のデータ処理装置。

【請求項6】 前記第1のデータは音声データであり、前記第2のデータは画像データであることを特徴とする請求項5に記載のデータ処理装置。

【請求項7】 データを受信する受信ステップと、
前記受信ステップの処理により受信されたデータを記憶する記憶ステップと、
前記受信ステップの処理により受信されたデータを処理する処理ステップと、
前記処理ステップの処理で、前記受信ステップの処理により受信されたデータを処理するとき用いられるクロックを生成する生成ステップと、
前記記憶ステップの処理により記憶されたデータのデー

2

タ量に基づいて、前記クロック生成ステップの処理で生成するクロックの周波数を制御する制御ステップとを含むことを特徴とするデータ処理方法。

【請求項8】 データを受信する受信ステップと、
前記受信ステップの処理により受信されたデータを記憶する記憶ステップと、
前記受信ステップの処理により受信されたデータを処理する処理ステップと、
前記処理ステップの処理で、前記受信ステップの処理により受信されたデータを処理するとき用いられるクロックを生成する生成ステップと、
前記記憶ステップの処理により記憶されたデータのデータ量に基づいて、前記クロック生成ステップの処理で生成するクロックの周波数を制御する制御ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ処理装置および方法、並びに記録媒体に関し、特に、簡単な構成でデータを処理することができるようにした、データ処理装置および方法、並びに記録媒体に関する。

【0002】

【従来の技術】図1に従来のAVデータ送受信システムの全体の構成を示す。送信側では、AVエンコーダ1に、送信するための送信AVデータが入力される。AVエンコーダ1は、入力された送信AVデータを、送信クロック発生回路2により生成されたクロック周波数に基づき、例えばMPEGフォーマットなどに圧縮する。送信クロック発生回路2は水晶発振器などにより構成される。圧縮されたデータはクロック乗り換えのため送信バッファ3にためられ、送信装置4がデータを送るたびに送信装置4に送られる。送信装置4は送信データに対しコード変換、変調などを施し、受信側に送る。

【0003】受信側では、受信装置5が、送信装置4からの送信データを受け取り、復調、コード逆変換などの処理を施し、送信したデータに戻し、受信バッファ6にためる。送信装置4と受信装置5の間のデータ転送レートは、AVデータのレートより十分早いものとする。受信バッファ6にためられたデータは、AVデコーダ7が処理するタイミングに応じて、AVデコーダ7に渡される。AVデコーダ7は受信クロック発生回路8により生成されたクロック周波数によってデコードする（伸張する）。

【0004】

【発明が解決しようとする課題】図1に示すシステムの場合、AVエンコーダ1に入力される送信クロック、および、AVデコーダ7に入力される受信クロックが、製造時のバラツキなどにより、厳密に同一の周波数にはならないため、処理速度に差ができ、図2と図3を参照して後述するように、受信バッファ6においてオーバーフロ

50

3

一、アンダーフローが発生し、結果としてAVデコーダ7において、処理データの過不足により画像、音声の乱れが発生していた。

【0005】図2にオーバーフローの例を示す。AVエンコーダ同期クロック（図2A）は、送信クロック発生回路2により生成された送信クロックによりAVエンコーダ1の内部で生成される。このクロックの立ち上がり同期して、エンコードされた固定長のAVデータDn（図2B）が送信バッファ3（2パケット分のサイズ）にためられる。

【0006】送信データDnは、ある伝送遅延の後に受信装置5によって受信され（図2C）、受信バッファ6にためられる（図2D）。受信データDnは、AVデコーダ同期クロック（図2E）に応じて受信バッファ6からAVデコーダ7に送り出され（図2F）、デコードされ、受信AVデータとして出力される。

【0007】AVデコーダ同期クロック（図2E）は受信クロック発生回路8によって生成された受信クロックによりAVデコーダ7の内部で生成される。このクロックの立ち上がり同期して入力されたデータがAVデコーダ7によりデコードされる。この例の場合、AVエンコーダ同期クロック（図2A）より、AVデコーダ同期クロック（図2E）の方が遅いため、受信データDn+5が受信バッファ6に格納された時点で、データがあふれてしまい、オーバーフローが発生する。

【0008】図3にアンダーフローの場合の例を示す。図2の場合と同様に、AVデータが処理される。この場合、AVエンコーダ同期クロック（図3A）より、AVデコーダ同期クロック（図3E）の方が速いため、受信データDn+3を受信する前に受信バッファ6が空になり（図3D）、送信バッファ6は、AVデコーダ同期クロック（図3E）の立ち上がりでは、AVデコーダ7にデータを渡すことができず、アンダーフローが発生する。

【0009】本発明はこのような状況に鑑みてなされたものであり、簡単な構成で、かつ、低コストなシステムで、オーバーフローやアンダーフローが発生しないようにできるようにするものである。

【0010】

【課題を解決するための手段】本発明のデータ処理装置は、データを受信する受信手段と、受信手段により受信されたデータを記憶する記憶手段と、受信手段により受信されたデータを処理する処理手段と、処理手段が、受信手段により受信されたデータを処理するとき用いるクロックを生成する生成手段と、記憶手段により記憶されたデータのデータ量に基づいて、クロック生成手段が生成するクロックの周波数を制御する制御手段とを備えることを特徴とする。

【0011】前記処理手段は、受信手段により受信されたデータをデコードするようにすることができる。

【0012】前記制御手段は、データ量が第1の基準値

4

より大きいとき、クロックの周波数が高くなるように制御し、記データ量が第2の基準値より小さいとき、クロックの周波数が低くなるように制御するようにすることができる。

【0013】前記受信手段が受信したデータを、第1のデータと第2のデータとに分離する分離手段をさらに備え、記憶手段が、第1のデータを記憶する第1の記憶手段と、第2のデータを記憶する第2の記憶手段とを有し、処理手段が、第1のデータを処理する第1の処理手段と、第2のデータを処理する第2の処理手段とを有するようにすることができる。

【0014】前記第1のデータと第2のデータの送信系と受信系の全体の処理時間の差の時間において、第1の処理手段が処理可能なデータ量をBuf1とし、第1の基準値と第2の基準値の平均値をBuf2とすると、制御手段は、第1の記憶手段に記憶されるデータ量の制御対象の範囲の中心の値を、Buf1とBuf2の和に対応させるようにすることができる。

【0015】前記第1のデータは音声データであり、第2のデータは画像データであるようにすることができる。

【0016】本発明のデータ処理方法は、データを受信する受信ステップと、受信ステップの処理により受信されたデータを記憶する記憶ステップと、受信ステップの処理により受信されたデータを処理する処理ステップと、処理ステップの処理で、受信ステップの処理により受信されたデータを処理するとき用いられるクロックを生成する生成ステップと、記憶ステップの処理により記憶されたデータのデータ量に基づいて、クロック生成ステップの処理で生成するクロックの周波数を制御する制御ステップとを含むことを特徴とする。

【0017】本発明の記録媒体のプログラムは、データを受信する受信ステップと、受信ステップの処理により受信されたデータを記憶する記憶ステップと、受信ステップの処理により受信されたデータを処理する処理ステップと、処理ステップの処理で、受信ステップの処理により受信されたデータを処理するとき用いられるクロックを生成する生成ステップと、記憶ステップの処理により記憶されたデータのデータ量に基づいて、クロック生成ステップの処理で生成するクロックの周波数を制御する制御ステップとを含むことを特徴とする。

【0018】本発明のデータ処理装置および方法、並びに記録媒体のプログラムにおいては、記憶されたデータのデータ量に基づいて、クロックの周波数が制御される。

【0019】

【発明の実施の形態】図4に本発明のAVデータ送受信システムの第1の実施の形態を示す。このシステムは、基本的に、図1に示した従来のシステムと同様の構成とされている。ただし、このシステムにおいては、受信バッ

5

ファ監視回路21が追加され、受信クロック発生回路8は、受信バッファ監視回路21の出力に基づいて、発生するクロック周波数を制御する。その他の構成は、図1におけるシステムと同様である。

【0020】図4のシステムの基本的な動作は、図1に示したシステムと同様であるので、その説明は省略する。このシステムにおいては、受信クロックの生成方法が、図1のシステムにおける場合と異なっているので、以下には、この点について説明する。

【0021】受信バッファ監視回路21は、受信バッファ6にたまっているデータの量を監視し、ある一定の量より多くなった場合は、受信クロック発生回路8において、例えば、1フィールドまたは1フレームに1回の割合で発生するクロック周波数を上げる。また受信バッファ6にたまっているデータ量がある一定より少なくなった場合は、受信クロック発生回路8で発生するクロック周波数を下げる。

【0022】受信クロック発生回路8にてクロックの周波数を可変する方法としては、電圧制御オシレータ(VC0)あるいは、AVデコーダ7に供給するクロックよりも高い周波数のクロックをカウンタでカウントし、クロック生成のためのカウンタ値を変えるなどが考えられる。

【0023】図5に、受信バッファ監視回路21が実行する実際の制御のフローチャートを示す。まず、ステップS1において、受信バッファ6にたまっているデータ量(DataSize)が、予め設定されている下限の閾値(LowThresh)より少ないかどうかを比較し、もし少ない場合で、かつ、ステップS4で、クロックが上限の周波数(HighLimit)より下であると判定されれば、ステップS5においてクロック周波数を下げる。受信バッファ6にためられているデータ量(DataSize)が、下限の閾値(LowThresh)より多い場合は、ステップS2で、上限の閾値(HighThresh)より多いかどうか比較し、もし多い場合で、かつ、ステップS6で、クロックが下限の周波数(LowLimit)より上であると判定されれば、ステップS7で、クロック周波数を上げる。受信バッファ6にたまっているデータ量がLowThresh < DataSize < HighThreshの範囲であれば、何もしない。ここで以下の理由からクロックの上限、下限の周波数を決めている。

- 【0024】1. AVデコーダの動作クロック範囲から外れないようにするため
2. 急激にバッファのデータ量が増えすぎないようにするため
3. 異常事態の場合でも動作するようにするため(例えばデータが届かなくなった場合など)

【0025】ステップS3で、制御の停止が指令されているか否かが判定され、指令されていない場合は、ステップS1に戻り、それ以降の処理が繰り返される。制御の停止が指令されたとき、処理は終了される。

【0026】図6にAVエンコーダ1に入力されるクロッ

6

クと、AVデコーダ7に入力されるクロックとの関係を示す。ここでAVエンコーダ1に入力されるクロックをftxとし、AVデコーダ7に入力されるクロックをfrxとする。受信バッファ監視回路21により、受信クロック発生回路8が生成するAVデコーダ7に入力されるクロックは、最低クロック周波数(fl)と、最高クロック周波数(fh)の範囲で制御される。ここでAVデコーダ7は、 $fl < frx < fh$ の範囲で動作する。このためfl、fhがこの範囲に入っており、 $fl < ftx$ かつ $ftx < fh$ を満たしていればよい。

【0027】次に図7に受信バッファ6でのデータ量の推移イメージを示す。この例の場合、図6の例のように、クロックを上げる場合はfhに、クロックを下げる場合はflに、クロック周波数が制御される。初期状態B1においては、受信バッファ6が空であるため、 $frx = fh$ としてデータをためる方向に動作する。その後、受信バッファ6のデータ記憶量が、HighThreshを超えた時点B2で、クロックを下げると判断し、 $frx = fl$ として、データが減る方向に制御される。その後、データ量がLowThreshの値より下がった時点B3で、クロックを上げるという判断をし、 $frx = fh$ として、再度データがためられる方向に動作し、これが繰り返される形で動作が続く。

【0028】図8に第2の実施の形態を示す。この例においては、送信側におけるAVエンコーダ1が、オーディオエンコーダ1Aとビデオエンコーダ1Vとにより構成されている。これに伴い、送信クロック発生回路2は、送信クロック発生回路2Aと送信クロック発生回路2Vにより構成される。オーディオエンコーダ1Aの出力は、送信バッファ31Aを介してパケット生成回路32に供給され、ビデオエンコーダ1Vの出力は、送信バッファ31Vを介してパケット生成回路32に入力されている。

【0029】受信側においては、送信側のパケット生成回路32に対応して設けられているパケット分解回路41が、受信バッファ6から入力されるデータをオーディオパケットとビデオパケットに分解し、オーディオパケットを受信バッファ42Aを介してオーディオデコーダ7Aに出力し、ビデオパケットを受信バッファ42Vを介してビデオデコーダ7Vに出力する構成とされている。

【0030】そして、受信バッファ21は、受信バッファ42Aの出力を監視する受信バッファ監視回路21Aと、受信バッファ42Vの記憶量を監視する受信バッファ監視回路21Vとにより構成されている。受信クロック発生回路8は、受信バッファ監視回路21Aの出力に基づいて受信クロックを生成し、オーディオデコーダ7Aに出力する受信クロック発生回路8Aと、受信バッファ監視回路21Vの出力に基づいて、受信クロック発生回路を発生し、ビデオデコーダ7Vに出力する受信クロック発生回路8Vとにより構成されている。

7

【0031】その他の構成は、図4における場合と同様である。

【0032】オーディオエンコーダ1Aは、入力された送信データ（音声データ）を例えばMPEGで圧縮し、送信バッファ31Aに渡す。オーディオエンコーダ1Aは、送信クロック発生回路2Aにより発生された送信クロックをもとに動作する。一方、ビデオエンコーダ1Vは、送信クロック発生回路2Vにより発生された送信クロックに基づいて、送信データ（画像データ）を例えばMPEGなどで圧縮し、送信バッファ31Vに渡す。パケット生成回路32は、送信バッファ31Aからの音声データと、送信バッファ31Vからの画像データを多重化して、受信側の分解に必要なヘッダ情報などを付加して、送信パケットを生成する。生成された送信パケットは、送信バッファ3にたくわえられ、送信装置4がデータを送るたびに、次のデータが渡される。

【0033】受信側では受信装置5がデータを受信し、受信バッファ6にたくわえさせる。次にパケット分解回路41により、音声データと、画像データに分けられ、各々受信バッファ42A、または受信バッファ42Vに渡される。音声系では、受信バッファ監視回路21Aが、受信バッファ42Aにたまっているデータ量に応じて、受信クロック発生回路8Aで生成するクロック周波数を可変する。オーディオデコーダ7Aは、受信クロック発生回路8Aより供給されたクロックをもとに、受信した音声データをデコードし、受信データとして出力する。

【0034】画像系も同様に、受信バッファ監視回路21Vが、受信バッファ42Vにたまっているデータ量に応じて、受信クロック発生回路8Vを制御し、ビデオデコーダ7Vへのクロック周波数を可変する。この実施の形態では、音声データと画像データが、別々のエンコーダ1A、1V、またはデコーダ7A、7Vで処理される構成とされており、それぞれの処理経路が異なり、処理時間に差があるため、受信側で、音声データと画像データの遅延時間を一致させることが必要になる。

【0035】図9に音声データと画像データの、各ブロックでの遅延の関係例を示す。ここでは、オーディオエンコーダ1A、またはビデオエンコーダ1Vに入力される時点では、送信データに同期がとれているものとする。音声データの処理経路においては、共通の部分を除く遅延時間は、オーディオエンコーダ1Aでの遅延時間（Tdae）、送信バッファ31Aでの遅延時間（Tdat）、受信バッファ42Aでの遅延時間（Tdar）、オーディオデコーダ7Aでの遅延時間（Tdad）の合計Tdaとなる。ここでTdarは、音声データにおけるLowThresh（図5のステップS1）とHighThresh（図5のステップS2）の平均値（ABufAve）での遅延時間とする。

【0036】次に画像の処理経路では、同様に共通の部分を除く遅延時間は、ビデオエンコーダ1Vでの遅延時

8

間（Tdve）、送信バッファ31Vでの遅延時間（Tdvt）、受信バッファ42Vでの遅延時間（Tdvr）、ビデオデコーダ7Vでの遅延時間（Vdvd）の合計Tdvとする。ここでTdvaは、画像データにおけるLowThresh（図5のステップS1）とHighThresh（図5のステップS2）の平均値（VBufAve）での遅延時間とする。この場合、音声データより、画像データの処理経路（処理時間）の方が長く（ $Tda < Tdv$ ）、その差はTdavとなる。

【0037】音声データと画像データの同期をとるためには、時間Tdav分だけ、音声データの処理を遅らせる必要がある。この遅延を、受信バッファ42Aにためる閾値の設定値により実現することができる。具体的には、時間Tdavで処理される音声データのデータ量をABufTdavとすると、音声データをためる量の中心を、ABufTdav+ABufAveと設定することで、同期をとることができる。そして、その中心の上下に、HighThreshおよびLowThreshが設定される。

【0038】第2の実施の形態においては、音声データと画像データの遅延時間の差を、全て受信側で補償する形式をとっているが、送信側のバッファにて遅延時間差をある程度あわせ込んでもよい。また、音声データと画像データともにクロックの調整機能を持っているが、音声データと画像データの同期が問題にならないシステムでは、音声データと画像データの同期のためのクロック調整機能を、どちらか一方の系につける構成をとっても構わない。

【0039】図10は、図4のシステムの具体的な適用例を示している。このテレビ受信システムは、図10に示すように、無線通信により接続される選局装置101と、表示装置102とにより構成される。選局装置101は、この発明による選局装置が適用されたものであり、例えば家庭の屋内に設置されて用いられるものである。また、表示装置102は、この発明による表示装置が適用されたものであり、使用者の近傍において用いられるものである。

【0040】そして、図10に示すように、選局装置101には、屋外に設置されたテレビ放送信号受信用の受信アンテナ111に接続されて屋外から屋内に引き込まれたアンテナケーブル111cbが接続されるとともに、電話網に接続されて屋外から屋内に引き込まれた電話線Lが接続される。

【0041】そして、選局装置101は、アンテナ111により受信して選局したテレビ放送信号を復調して、これを送受信アンテナ118を通じて表示装置102に向けて無線送信したり、あるいは、電話線Lを通じて送信されてくる信号を受信して復調し、これを送受信アンテナ118を通じて、表示装置102に向けて無線送信する。

【0042】また、選局装置101は、表示装置102から指示情報や電子メールなどの送信情報を送受信アン

10

20

30

40

50

9

テナ118を通じて受信し、受信した指示情報に応じて選局するテレビ放送信号を変えたり、送信情報を電話線Lを通じて送信したりすることができるものである。

【0043】表示装置102は、選局装置101から無線送信されてくるテレビ放送番組の信号を受信し、受信した信号に含まれる画像信号に応じた画像をLCD (Liquid Crystal Display) 125の表示画面に表示するとともに、受信した信号に含まれる音声信号による音声をスピーカから放音することにより、テレビ放送番組の視聴を可能にする。

【0044】また、表示装置102は、選局装置101が電話線Lを通じて受信して無線送信してくる例えば電子メールやインターネットのホームページなどの信号を受信し、受信した信号から表示用信号を形成し、この表示用信号に応じた画像をLCD125に表示して使用者に提供することができるものである。

【0045】さらに、この実施の形態の表示装置102のLCD125の表示画面には、タッチパネル351が貼付されており、LCD125の表示画面に表示される表示情報とタッチパネル351とにより、使用者からの各種の指示入力などの情報の入力を受け付けることができるようにしている。そして、タッチパネル351を用いることによって、電子メールを作成して送信したり、自分宛ての電子メールを受信して表示したりするなど各種の操作を行うことができるようにしている。

【0046】このように、選局装置101は、テレビ放送信号や、電話線Lを通じて提供される各種の情報を、この実施の形態のテレビ受信システムに取り込んだり、この実施の形態のテレビ受信システムから電話線Lを通じて通信ネットワークに情報を送出したりするインターフェースとしての機能を有している。また、表示装置102は、選局装置101によりこの実施の形態のテレビ受信システムに取り込まれた情報を使用者に提供したり、使用者からの情報を受け付けるユーザインターフェースとしての機能を有している。

【0047】そして、選局装置101は、図10に示すように、アンテナケーブル111cbとの接続端子T1や電話線Lとの接続端子T2が設けられた位置に応じて、その両方に確実に接続することが可能な位置に設置して用いる。そして、図10に示したように、選局装置101と表示装置102とは、無線接続されるので、選局装置101からの無線信号の受信が可能なエリアであれば何処でも、表示装置102を用いることによって目的とするテレビ放送番組を視聴したり、インターネットに接続して電子メールのやり取りを行うなどのことができるようにしている。

【0048】図11は、選局装置101のより詳細な構成を示すブロック図である。この選局装置101の各部は、制御部200によって制御するようにされている。

【0049】制御部200は、図11に示すように、CP

10

U (Central Processing Unit) 201、ROM (Read Only Memory) 202、RAM (Random Access Memory) 203、EEPROM (Electrically Erasable Programmable Read Only Memory) 204がCPUバス206を通じて接続されて構成されたマイクロコンピュータである。

【0050】ここで、ROM202は、この実施の形態の選局装置101において実行する各種の処理プログラムや処理に必要なデータなどが記録されたものである。RAM203は、各種の処理において得られたデータを一時的に記憶保持するなどのように、主に各種の処理の作業領域として用いられるものである。

【0051】EEPROM204は、いわゆる不揮発性のメモリであり、電源が落とされても、記憶保持した情報が失われることがなく、例えば、選局装置101の主電源が落とされる直前まで選局していた放送チャンネルの情報を記憶保持し、電源投入後においては、前回電源が落とされる直前まで選局していたチャンネルの放送信号を選局するようにするいわゆるラストチャンネルメモリ機能を実現することなどができるようにしている。

【0052】そして、図11に示すように、この実施の形態の選局装置101は、屋外に設置されたテレビ放送信号受信用の受信アンテナ111からのアンテナケーブル111cbは、選局装置101の選局部112に接続され、受信アンテナ111により受信されたテレビ放送信号は、選局部112に供給される。

【0053】選局部112は、受信アンテナ111からのテレビ放送信号の中から、制御部200からの選局指示信号に応じたテレビ放送信号を選局し、この選局したテレビ放送信号を復調部113に供給する。復調部113は、これに供給されたテレビ放送信号を復調して、復調後の信号(テレビ番組の信号)をスイッチ回路114の入力端aに供給する。

【0054】スイッチ回路114は、制御部200からの切り換え制御信号により切り換え制御され、復調部113から入力端aに供給されるのテレビ番組の信号を出力するのか、制御部200から入力端bに供給される信号を出力するのかを切り換える。なお、制御部200からスイッチ回路114に供給される信号は、後述もするように、電話線Lを通じて選局装置101に供給され、モデム部210を通じて受信した電子メールやインターネットのいわゆるホームページの情報などの信号である。

【0055】そして、スイッチ回路114から出力された信号は、圧縮処理部115に供給される。圧縮処理部115は、これに供給された信号を所定の圧縮方式を用いてデータ圧縮する。この圧縮処理部115においては、例えば、MPEG (Moving Picture Expert Group) 方式やWavelet方式などのデータ圧縮方式を用いて、スイッチ回路114からの信号をデータ圧縮する。

【0056】送信クロック発生回路401はCPU201により制御され、送信クロックを発生し、圧縮処理部1

11

15に供給している。上述したように、圧縮処理部115は、この送信クロックに同期して、圧縮処理を実行する。

【0057】圧縮処理部115においてデータ圧縮された信号は、送信信号形成部116に供給される。送信信号形成部116は、予め決められた通信プロトコルに準拠した送信信号を形成する。この実施の形態においては、IEEE (Institute Electrical and Electronics Engineers) 802.11方式のプロトコル、あるいは、その発展プロトコルに準拠した送信信号を形成する。

【0058】送信信号形成部116において形成された送信信号は、無線部117の送信処理部117Sに供給される。送信処理部117Sは、制御部200からの制御信号に応じて、送信信号の変調処理や増幅処理を行う。送信処理部117Sにおいて処理された送信信号は、共用部117K、送受信アンテナ118を通じて無線送信される。

【0059】共用部117Kは、送信信号と受信信号とが干渉し合うことを防止するものである。すなわち、この実施の形態の選局装置101は、前述したように、表示装置102から無線送信される指示情報などを送受信アンテナ118を通じて受信することができるように構成されたものである。そこで、共用部117Kは、送信処理部117Sからの送信信号が、送受信アンテナ118を通じて受信される受信信号に対して干渉することがないようにしている。

【0060】そして、送受信アンテナ118を通じて受信した表示装置102からの例えば選局指示などの信号は、共用部117Kを通じて受信処理部117Rに供給される。受信処理部117Rは、これに供給された信号を復調するなどの処理を行って、制御部200が扱える信号にし、この信号を制御部200に供給する。

【0061】制御部200は、受信処理部117Rからの信号が、選局指示などの指示信号であるときには、その指示信号に応じて各部を制御する。したがって、受信処理部117Rから制御部200に供給された信号が、選局指示であった場合には、制御部200は、供給された選局指示に応じた選局指示信号を選局部112に供給し、選局するテレビ放送信号を換えることができるようにされている。

【0062】また、受信処理部117Rから制御部200に供給された信号が、電子メールなどの送信情報であった場合には、制御部200は、後述もするように、モデム部210および電話線Lを通じて、電話回線を接続し、送信情報を接続した電話回線に送出して、目的とする相手先に送信する。

【0063】モデム部210は、図11に示すように、インターフェース(図11においては、I/Fと記載)部211と、通信部212とからなっている。I/F部211は、相手先と選局装置101との間に電話網を通じて

12

接続される通信回線と、この選局装置101との間のインターフェースであり、電話回線(電話線L)を通じて送信されてくる信号を受信したり、選局装置101からの信号を送信したりする。

【0064】通信部212は、I/F回路211を通じて受信した信号を復調して、これを制御部200に供給したり、制御部200からの送信信号を変調して、これをI/F回路211に供給する。これにより、電話回線が接続された相手先との間で、各種のデータの送受を行うことができるようにされる。

【0065】したがって、前述したように、この実施の形態の選局装置101は、モデム部210、電話線L、および、所定のISP(Internet Service Provider)を通じてインターネットに接続し、インターネットを通じて各種の情報の提供を受けたり、電子メールを受信したり送信したりすることができるようにされる。

【0066】このため、制御部200は、モデム部210を制御して、オフフックしたりオンフックするなどのことができるとともに、オフフックするようにモデム部210を制御したときには、ダイヤル信号を電話回線に送出するようにするいわゆるダイヤラとしての機能なども備えたものである。

【0067】なお、図11に示すように、制御部200には、電源のオン/オフキーや各種の設定キーが設けられたキー入力部215が接続されており、選局装置101の主電源のオン/オフや、各種の設定入力が、このキー入力部215を通じて行うことができるようにされている。

【0068】このように、この実施の形態の選局装置101は、テレビ放送信号を受信、選局して復調し、この復調したテレビ放送番組の信号をデータ圧縮して、所定の通信プロトコルにしたがって無線送信することができるものである。また、電話回線を通じて提供される情報を受信して復調し、これをテレビ放送信号の場合と同様に、データ圧縮して、所定の通信プロトコルにしたがって無線送信することができるものである。

【0069】また、この実施の形態の選局装置101は、後述する表示装置102から無線送信されてくる選局指示などの指示情報を受信し、その情報に応じた処理を行ったり、表示装置102から送信されてくる電子メールなどの送信情報を、モデム部210を通じて送信することができるものである。

【0070】次に、前述した選局装置101と無線接続される表示装置102について説明する。図12は、この表示装置102を説明するための図である。この表示装置102は、CPU301、ROM302、RAM303、EEPROM304がCPUバス305を通じて接続されて形成されたマイクロコンピュータの制御部300によって制御するようにされている。

【0071】ROM302には、この表示装置102にお

10

20

30

40

50

13

いて実行する各種の処理プログラムや処理に必要なデータなどが記録されたものである。RAM 303は、各種の処理において得られたデータを一時的に記憶保持するなどのように、主に各種の処理の作業領域として用いられるものである。

【0072】EEPROM 304は、いわゆる不揮発性のメモリであり、電源が落とされても、記憶保持した情報が失われることがなく、例えば、各種の設定パラメータや、作成した電子メールや受信した電子メールなどを記憶保持することができるものである。

【0073】まず、選局装置101からの無線信号を受信する場合の表示装置102の動作について説明する。選局装置101から所定の通信プロトコルに準拠した無線信号は、送受信アンテナ121により受信され、共用部122Kを通じて受信処理部122Rに供給される。受信処理部122Rは、これに供給された信号を復調するなどの処理を行って、復調後の信号を受信バッファ501を介して伸長処理部123に供給する。

【0074】受信バッファ監視回路502は、受信バッファ501のデータ量をモニタし、そのデータ蓄積量に応じて、受信クロック発生回路503を制御する。受信クロック発生回路503は、受信バッファ501のデータ蓄積量に対応する周波数の受信クロックを発生し、伸長処理部123に供給する。伸長処理部123は、受信クロックに同期して、伸長処理を実行する。

【0075】前述したように、選局装置101は、無線送信する信号は、データ圧縮して送信してくるので、表示装置102の伸長処理部123は、選局装置101から復調された信号を伸長して元の信号を復元する。そして、復元した信号がテレビ放送番組の信号である場合などにおいては、復元された信号は、画像信号と音声信号とからなっているので、画像信号は、画像信号処理部124に供給され、音声信号は音声信号処理部126に供給される。

【0076】画像信号処理部124は、伸長処理部123からの画像信号から表示用信号を形成し、これをLCD125に供給する。これにより、LCD125には、選局装置101から無線送信されてきた画像信号に応じた画像が表示される。一方、音声信号処理部126は、これに供給された音声信号からスピーカ127に供給する音声信号を形成し、これをスピーカ127に供給する。これにより、スピーカ127からは、選局装置101から無線送信されてきた音声信号に応じた音声が発音される。

【0077】このように、表示装置102は、選局装置101から無線送信されてくるテレビ放送番組などの信号を受信して、その受信した信号の画像信号や音声信号を再生して出力することにより、使用者に提供することができるものである。

【0078】上述した一連の処理は、ハードウェアによ

14

り実行させることもできるが、ソフトウェアにより実行させることもできる。

【0079】なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0080】また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0081】

【発明の効果】本発明を用いることにより、AVデータのバケット内に時間情報がなくても、送信側と受信側のデータの同期をとることができる。また必要に応じて音声と画像の同期もとることができる。このため、例えばMP EGのトランスポートストリームのようなバケットを使わずに、安定動作可能なAVデータ送受信システムを構築することができる。これにより、送信側では、タイムスタンプ情報の付加処理などの回路が、また受信側では、クロック再生の回路などが不要なため、結果として回路規模を削減でき、ローコストのシステムが実現できる。

【図面の簡単な説明】

【図1】従来のAVデータ送受信システムの構成例を示すブロック図である。

【図2】図1のシステムにおいて発生するオーバーフローを説明する図である。

【図3】図1のシステムにおいて発生するアンダーフローを説明する図である。

【図4】本発明を適用したAVシステム送受信システムの構成例を示すブロック図である。

【図5】図4のシステムの動作を説明するフローチャートである。

【図6】図4の受信クロック発生回路において発生する受信クロックの周波数を説明する図である。

【図7】図4の受信バッファにおける蓄積量を説明する図である。

【図8】本発明を適用したAVデータ送受信システムの他の構成例を示すブロック図である。

【図9】図8のシステムにおける音声データと画像データの遅延時間の差を説明する図である。

【図10】本発明を適用したシステムの具体的な構成を示す図である。

【図11】図10の選局装置の構成例を示すブロック図である。

【図12】図10の表示装置の構成例を示すブロック図である。

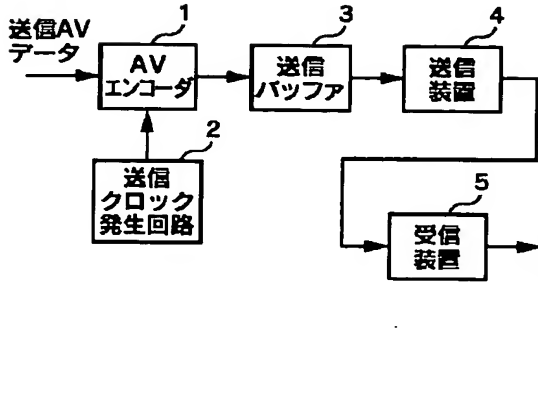
【符号の説明】

1 AVエンコーダ、 1A オーディオエンコーダ、
1V ビデオエンコーダ、 2、2A、2V 送信クロック発生回路、 6 受信バッファ、 7 AVデコー

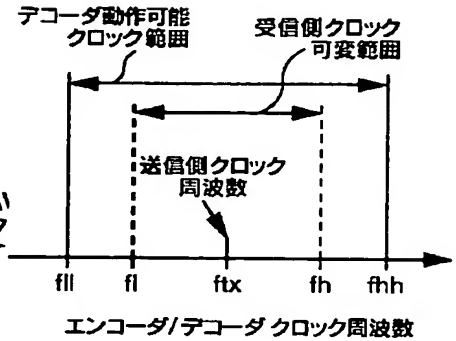
ダ, 7A オーディオデコーダ, 7V ビデオデ
ーダ, 8, 8A, 8V 受信クロック発生回路, 2

1, 21A, 21V 受信バッファ監視回路

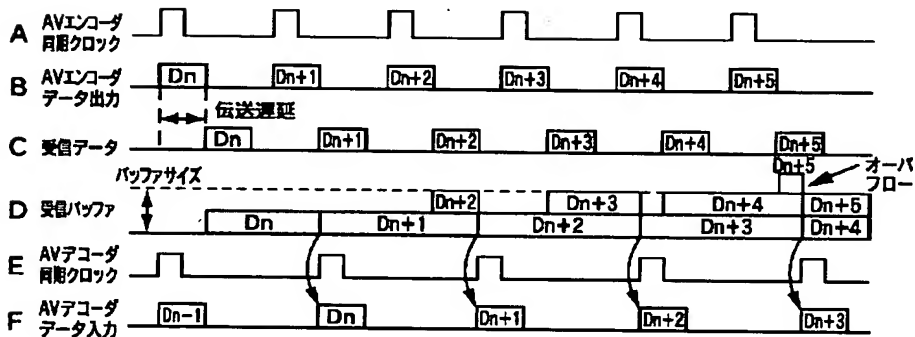
【図1】



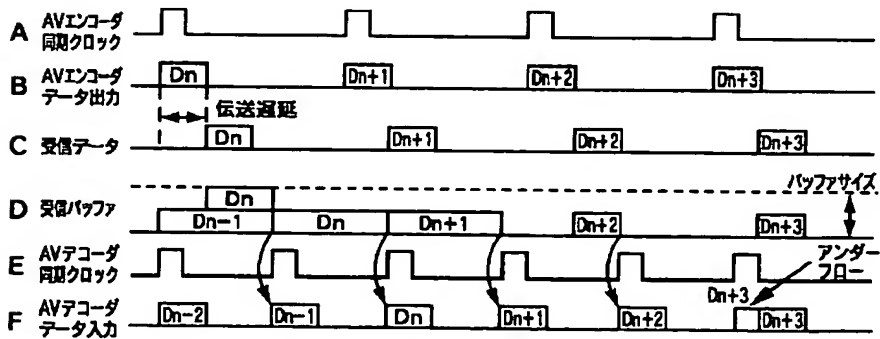
【図6】



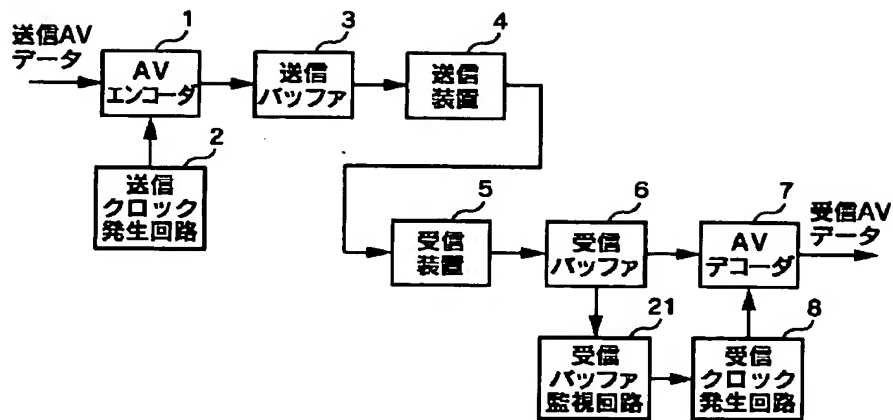
【図2】



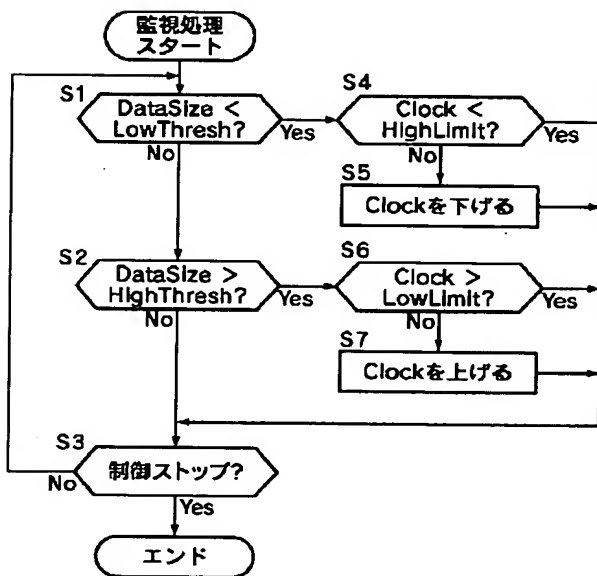
【図3】



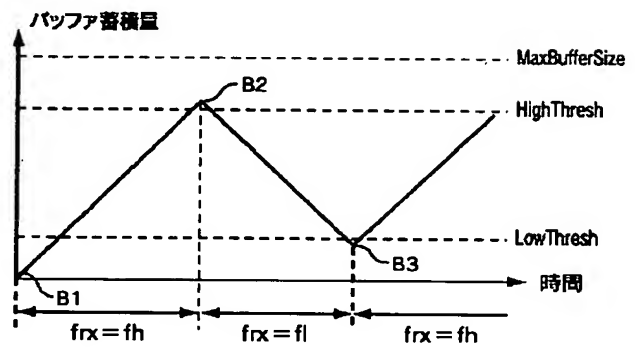
【図4】



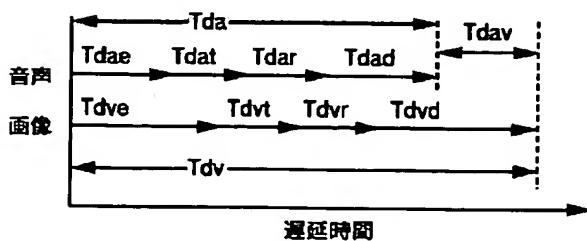
【図5】



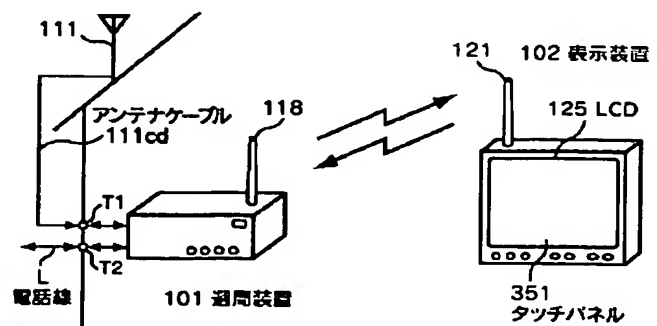
【図7】



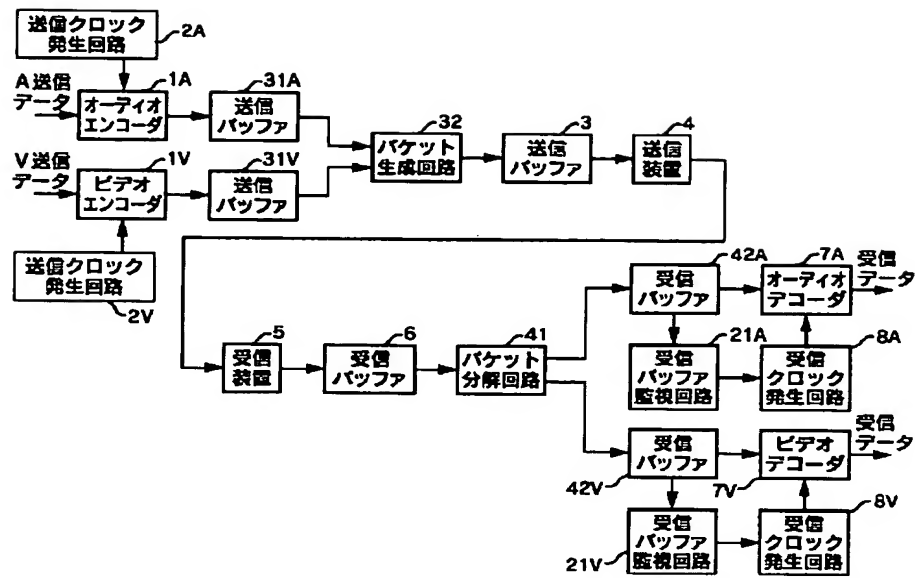
【図9】



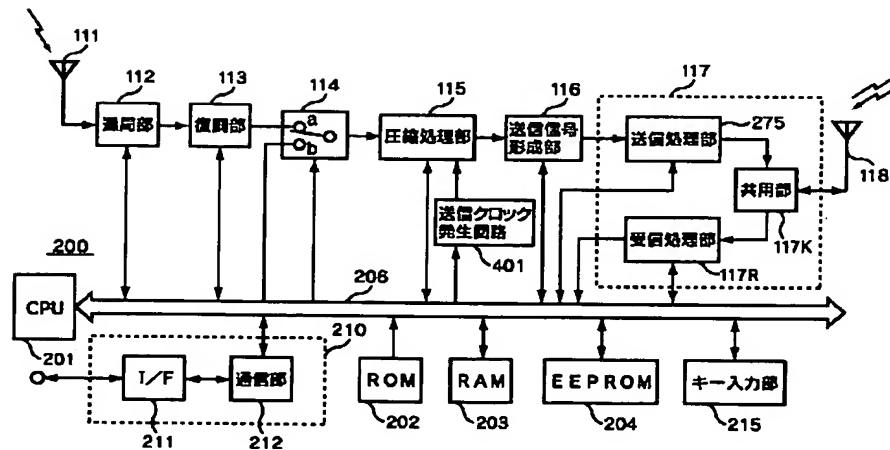
【図10】



【図 8】

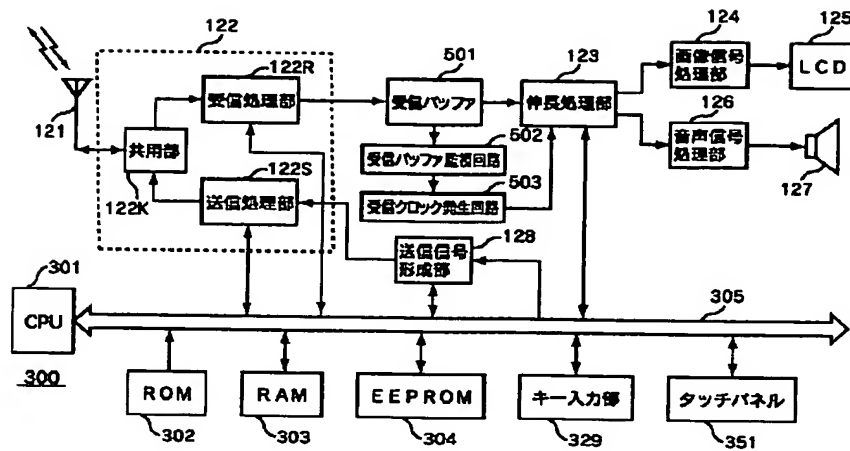


【図 11】



遠局装置 101

【図 1 2】



表示装置 102

フロントページの続き

(72) 発明者 池田 和行
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

(72) 発明者 法月 尚史
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

(72) 発明者 作佐部 建一
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

(72) 発明者 川口 大介
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

30

(72) 発明者 吉川 宗宏
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

F ターム (参考) 5C025 BA30 DA05 DA08
 5C059 KK35 MA00 RC32 SS02 SS08
 SS20 SS26 TA00 TC16 TC20
 TD12 UA05 UA09 UA32
 5K034 AA10 CC02 CC05 HH02 HH17
 HH42 HH56 PP01
 5K041 AA08 CC01 CC02 DD04 FF40
 5K047 AA15 DD01 DD02 GG10 GG45
 GG52 MM24